

⑫ 公開特許公報(A)

昭62-287704

⑬ Int.Cl.

H 03 F 3/50
3/343

識別記号

庁内整理番号

6628-5J
Z-6628-5J

⑭ 公開 昭和62年(1987)12月14日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 レベルシフト回路

⑯ 特 願 昭61-131221

⑰ 出 願 昭61(1986)6月6日

⑱ 発 明 者 伊 藤 雅 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

レベルシフト回路

2. 特許請求の範囲

(1) 入力信号がベースに与えられるNPN形トランジスタを有する入力段エミッタフォロア回路と、この入力段エミッタフォロア回路の出力端と電源端との間に直列に接続されたNPN形トランジスタのベース・エミッタ間電圧を用いたレベルシフト部および電流源と、上記レベルシフト部によりレベルシフトされた信号がベースに与えられるNPN形トランジスタを有する出力段エミッタフォロア回路とを具備することを特徴とするレベルシフト回路。

(2) 前記レベルシフト部は、直列接続された複数のダイオードであることを特徴とする前記特許請求の範囲第1項記載のレベルシフト回路。

(3) 前記レベルシフト部は、NPN形トランジスタのベース・エミッタ間電圧を過倍または過分する回路であることを特徴とする前記特許請求の範

囲第1項記載のレベルシフト回路。

(4) 前記電流源は抵抗素子または定電流源であることを特徴とする前記特許請求の範囲第1項乃至第3項のいずれか1項記載のレベルシフト回路。

(5) 前記電流源は抵抗素子であり、前記入力段エミッタフォロア回路は前記NPN形トランジスタのエミッタに抵抗素子が接続されてなることを特徴とする前記特許請求の範囲第1項乃至第3項のいずれか1項記載のレベルシフト回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、リニア集積回路に形成されるレベルシフト回路に係り、たとえばFMラジオ受信機の中周波増幅段などの高周波領域に使用されるものである。

(従来の技術)

リニア集積回路に形成されるレベルシフト回路は、従来、第7図あるいは第8図に示すように構成されていた。即ち、第7図において、入力段

エミッタフォロア71は V_{cc} 電源端と接地端との間にNPN形トランジスタ72および抵抗素子73が直列に接続されてなり、その入力として直流バイアス電圧 V_{B1A} を有する入力信号電圧 v_{in} が導かれている。74はレベルシフト用のエミッタフォロアであり、 V_{cc} 電源端と接地端との間に抵抗素子75およびラテラルPNP形トランジスタ76が直列に接続されてなり、このトランジスタ76のベースが前記入力段エミッタフォロア71の出力端に接続され、上記トランジスタ76のコレクタから出力信号電圧 v_{out} が取り出される。

一方、第8図においては、入力段エミッタフォロア71のNPN形トランジスタ72のコレクタにレベルシフト用のNPN形トランジスタ81がカスコード接続され、このトランジスタ81のコレクタが抵抗素子82を介して V_{cc} 電源端に接続されており、上記トランジスタ82のベースに基準電圧(直流電圧) V_{ref} が与えられている。

ところで、前記第7図のレベルシフト回路は、出力部にラテラルPNP形トランジスタ76を使用

しているため、このトランジスタ76の遮断周波数 f_T が問題になるような高周波領域では電流増幅率 $\beta(j\omega)$ の低下を起し、振幅、位相特性が悪化し、波形歪、過度応答の悪化をまねいてしまう。

一方、第8図のレベルシフト回路は、ラテラルPNP形トランジスタを使用せず、NPN形トランジスタのカスコード接続を使用しているため、高周波領域においても良好な伝達特性を持ち得る。しかし、NPN形トランジスタ81のベースバイアス電位 V_{ref} を与えるための安定化電源が必要であり、回路素子数が多くなる。また、上記バイアス電位 V_{ref} により入出力のダイナミックレンジが制限され、低電源電圧動作には不向きである。

(発明が解決しようとする問題点)

本発明は、上記したようなラテラルPNP形トランジスタを使用することに伴う問題点、およびNPN形トランジスタのカスコード接続に伴う問題点をそれぞれ除去すべくなされたもので、高周波特性が良く、回路素子使用数が少なく、低電圧動作が可能なレベルシフト回路を提供すること

を目的とする。

[発明の構成]

(問題点を解決するための手段)

本発明のレベルシフト回路は、入力信号がベースに与えられるNPN形トランジスタを有する入力段エミッタフォロア回路と、この入力段エミッタフォロア回路の出力端と電源端との間に直列に接続されたNPN形トランジスタのベース・エミッタ間を用いたレベルシフト部および電流源と、このレベルシフト部によりレベルシフトされた信号がベースに与えられるNPN形トランジスタを有する出力段エミッタフォロア回路とを具備することを特徴とする。

(作用)

入力段エミッタフォロアのエミッタに接続されるシフトレベル部として、NPN形トランジスタのベース・エミッタ間を用いているので、ラテラルPNP形トランジスタを用いる場合に比べて高周波特性が良く、カスコード接続のNPN形トランジスタおよびそのベース・バイアス電源を用いる場

合に比べて回路素子使用数が少なく、しかもダイナミックレンジの制限が少ないので低電圧動作が可能になる。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図はリニア集積回路内に形成されたレベルシフト回路を示しており、入力段エミッタフォロア1は V_{cc} 電源端と接地端との間にNPN形トランジスタ Q_1 および抵抗素子 R_1 が直列に接続されてなり、その入力として直流バイアス電圧 V_{B1A} を有する入力信号電圧 v_{in} が導かれている。上記エミッタフォロア1の出力端と前記 V_{cc} 電源端との間にはレベルシフト部2および抵抗素子 R_2 が直列に接続されている。上記レベルシフト部2は、たとえばNPN形トランジスタのコレクタ・ベース相互が接続されてなるダイオードDが複数個(n 個)直列接続されてなる。3はバッファ用の出力段エミッタフォロアであり、前記 V_{cc} 電源端と接地端との間にNPN形トランジスタ Q_3 および抵抗

素子 R_2 が直列に接続されてなり、その入力としてレベルシフト部 2 によりレベルシフトされた信号（本例ではレベルシフト部 2 および抵抗素子 R_2 の相互接続点の信号）が与えられ、出力端から出力信号電圧 v_{out} が取り出されるものである。

上記レベルシフト回路によれば、入力段エミッタフォロア 1 のトランジスタ Q_1 のベースから見、接地端に対しても V_{CC} 電源端に対してもエミッタフォロアを形成しており、抵抗素子 R_1 に生じた信号電圧がレベルシフト部 2 により高電位側にシフトされて抵抗素子 R_2 に信号電圧が生じ、この信号電圧が出力段エミッタフォロア 3 を経て出力されるようになる。この場合、レベルシフト部 2 にはラテラル PNP 形トランジスタが使用されておらず、前記入力段の NPN 形トランジスタ Q_1 が接地端および V_{CC} 電源端に対してエミッタフォロアを形成しているので、高周波特性に優れている。しかも、レベルシフト部 2 の各ダイオード D は NPN 形トランジスタのコレクタ・ベース相互が短絡されているコレクタからベースへの帰還容量

また、上記レベルシフト回路によれば、入力段トランジスタ Q_1 、抵抗素子 R_1 、 R_2 、複数個のダイオード D、出力段エミッタフォロア 3 となり、構成は簡素であり、使用回路素子数は第 8 図に示した従来例のようにカスコード接続のトランジスタおよびそのベースバイアス電源を必要とするものに比べて少なく済み、上記ベースバイアス電源によるダイナミック・レンジの制限を受けないので低電圧動作が可能になる。

本発明は上記実施例に限らず、たとえば第 2 図乃至第 6 図に示すように種々の変形実施が可能である。第 2 図の回路は、第 1 図の回路におけるダイオード D が 2 個の場合であり、抵抗素子 R_2 に代えて定電流 I_1 用の定電流源 4 を用いたものである。

ここで、 $v_{a(min)} > R_1 \times I_1$ になるように R_1 、 I_1 を設定すると、 v_a が $R_1 \times I_1 \leq v_a \leq V_{CC} - 2V_{BE}$ の範囲でリニア動作が得られる。また、定電流源 4 を用いているので、消費電流の V_{CC} 電圧依存性が改善されている。第 3 図の回路は、第 1 図の回

路もほぼ短絡されており、この点でも高周波特性が良くなる一因となっている。なお、上記レベルシフト回路においては、入力閾値電圧を有しており、入力段トランジスタ Q_1 のエミッタ電位 v_a が

$$\frac{R_1}{R_1 + R_2} (V_{CC} - n \cdot V_{BE}) \dots\dots\dots (1)$$

以下になると入力段トランジスタ Q_1 がオフ状態になるので、上記トランジスタ Q_1 のエミッタ電位 v_a のとり得る最小電圧 $v_{a(min)}$ が

$$v_{a(min)} = V_{BE1AS} - \frac{1}{2} v_{inp-p} - V_{BE}(Q_1) > \frac{R_1}{R_1 + R_2} (V_{CC} - n \cdot V_{BE}) \dots\dots\dots (2)$$

が常に成り立つように信号のとり得る最大値 v_{inp-p} を考慮して V_{CC} 電圧、 V_{BE1AS} 電圧、抵抗素子 R_1 、 R_2 の抵抗値を設定しなければならない。上式(2)中、 V_{BE} はダイオード D を構成するトランジスタのベース・エミッタ間電圧、 $V_{BE}(Q_1)$ は入力段トランジスタ Q_1 のベース・エミッタ間電圧である。

路におけるダイオードが 2 個の場合であり、抵抗素子 R_1 に代えて定電流 I_2 用の定電流源 5 を用いたものである。ここで、 $I_2 > \frac{V_{CC} - 2V_{BE}}{R_2}$ となるように R_2 、 I_2 を設定すれば v_a が $0 \leq v_a \leq V_{CC} - 2V_{BE}$ の範囲でリニア動作が可能であり、 $v_{a(min)}$ が接地レベルの信号まで取り扱うことが可能になり、第 2 図の回路よりも取り扱うことのできる信号振幅レベルの V_{CC} 電圧依存性が改善されている。第 4 図の回路は、第 1 図の回路におけるダイオード D が 2 個の場合であり、抵抗素子 R_2 に代えて定電流 I_1 用の定電流源 4 を用いると共に抵抗素子 R_1 に代えて定電流 I_2 用の定電流源 5 を用いることによって、消費電流の V_{CC} 電圧依存性および取り扱うことのできる信号振幅レベルの V_{CC} 電圧依存性を改善している。ここで、 $I_2 > I_1$ に設定すれば、第 3 図の回路と同様に v_a が $0 \leq v_a \leq V_{CC} - 2V_{BE}$ の範囲でリニア動作が可能であり、高 V_{CC} 電圧においても消費電流を増すことなく上記ダイナミックレンジを保つことが可能である。第 5 図の回路は、第 4 図の回路のレベルシ

フト部としてNPN形トランジスタ Q_2 のベース・エミッタ間に抵抗素子 R_4 を接続すると共にコレクタ・ベース間に抵抗素子 R_5 を接続してなる V_{BE} 電圧通倍回路6を用いたものである。これによって、レベルシフト量を V_{BE} 電圧の実数倍、つまり $(1 + \frac{R_5}{R_4})V_{BE}$ だけ設定することが可能である。また、 $I_2 > I_1$ に設定すると、 V_{BE} が $0 \leq V_{BE} \leq V_{CC} - (1 + \frac{R_5}{R_4})V_{BE}$ の範囲でリニア動作が可能である。第6図の回路は、第5図の回路の V_{BE} 電圧通倍回路6に代えて、NPN形トランジスタ Q_2 のコレクタ・ベース相互を接続すると共にベース・エミッタ間に抵抗素子 R_6 、 R_7 を直列に接続してなる V_{BE} 電圧通分回路7を用いたものであり、上記抵抗素子 R_6 、 R_7 の接続点(通分出力端)の信号を出力段エミッタフォロアに入力するようにしたものである。これは、レベルシフト量を V_{BE} 電圧の実数分の1に設定したい場合に使用される。

[発明の効果]

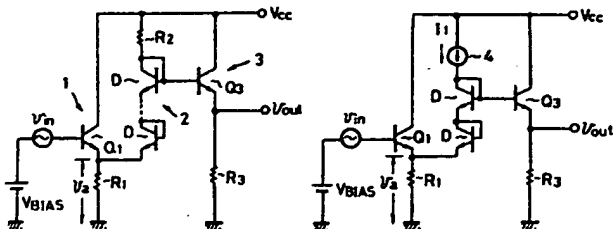
上述したように本発明のレベルシフト回路に

よれば、入力段エミッタフォロアのエミッタ出力端にNPN形トランジスタのベース・エミッタ間を用いたレベルシフト部を接続して信号電圧を高電位側にレベルシフトするようにしたので、高周波特性が良く、回路素子使用数が少なく、低電圧動作が可能になる。したがって、リニア集積回路におけるたとえば10.7MHz用の増幅器に応用して好適である。

4. 図面の簡単な説明

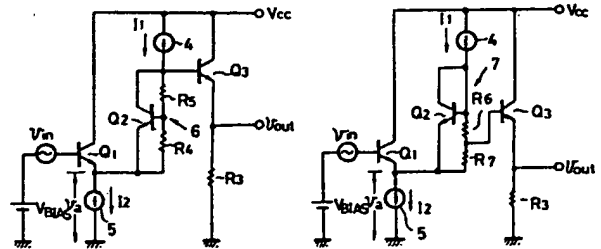
第1図は本発明のレベルシフト回路の一実施例を示す回路図、第2図乃至第6図はそれぞれ他の実施例を示す回路図、第7図および第8図はそれぞれ従来のレベルシフト回路の相異なる例を示す回路図である。

1…入力段エミッタフォロア、2…レベルシフト部、3…出力段エミッタフォロア、4、5…定電流源、6… V_{BE} 電圧通倍回路、7… V_{BE} 電圧通分回路、 $Q_1 \sim Q_3$ …NPN形トランジスタ、 $R_1 \sim R_7$ …抵抗素子、D…ダイオード。



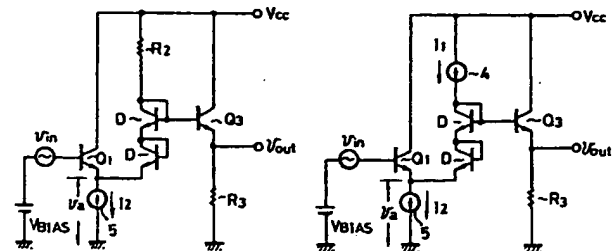
第1図

第2図



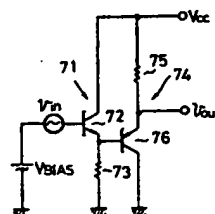
第5図

第6図

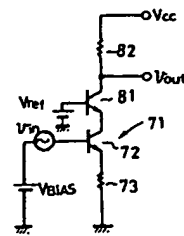


第3図

第4図



第7図



第8図